



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0019953
Application Number

출원 년 월 일 : 2003년 03월 31일
Date of Application
MAR 31, 2003

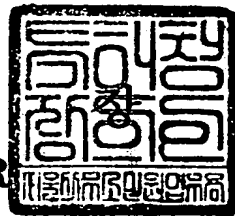
출원인 : 비오이 하이디스 테크놀로지 주식회사
Applicant(s)
BOE Hydys Technology Co., Ltd.



2003 년 05 월 29 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|--------------------------------------|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0014 |
| 【제출일자】 | 2003.03.31 |
| 【발명의 명칭】 | 결정화 방법 |
| 【발명의 영문명칭】 | Method of crystallization |
| 【출원인】 | |
| 【명칭】 | 비오이 하이디스 테크놀로지 주식회사 |
| 【출원인코드】 | 1-2002-047909-7 |
| 【대리인】 | |
| 【성명】 | 강성배 |
| 【대리인코드】 | 9-1999-000101-3 |
| 【포괄위임등록번호】 | 2003-006996-3 |
| 【발명자】 | |
| 【성명의 국문표기】 | 류명관 |
| 【성명의 영문표기】 | RYU, Myung Kwan |
| 【주민등록번호】 | 710126-1122717 |
| 【우편번호】 | 135-240 |
| 【주소】 | 서울특별시 강남구 개포동 13-3 나산오피스텔 2038호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 이호년 |
| 【성명의 영문표기】 | LEE, Ho Nyeon |
| 【주민등록번호】 | 670609-1149628 |
| 【우편번호】 | 463-767 |
| 【주소】 | 경기도 성남시 분당구 서현동 효자촌 현대아파트 103동 1204호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 박재철 |
| 【성명의 영문표기】 | PARK, Jae Chul |
| 【주민등록번호】 | 711218-1769919 |

【우편번호】 156-091
【주소】 서울특별시 동작구 사당1동 1021-23 비02호
【국적】 KR
【발명자】
【성명의 국문표기】 김억수
【성명의 영문표기】 KIM,Eok Su
【주민등록번호】 741221-1143919
【우편번호】 135-270
【주소】 서울특별시 강남구 도곡동 946-11 401호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 강성
배 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 19 면 19,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 48,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 레이저 조사(irradiation)와 레이저 조사가 되는 반도체 박막이 있는 기판상에서, 비정질 또는 다결정질 박막들로부터 원하는 위치에 원하는 크기로 단결정 박막을 얻는 결정화 방법에 관한 것으로, 본 발명에 따른 결정화 방법은 유리, 플라스틱, 절연막과 같은 투명, 또는 반투명기판위에 반도체 또는 금속박막을 증착 후 레이저 조사를 통한 결정화 방법에 있어서, 상기 소정 크기의 기판상에 단결정 시드영역을 형성하고, 이후 상기 단결정영역을 시드(seed)로 하여 박막전체 또는 일부 또는 특정영역을 단결정 영역으로 형성한다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

결정화 방법{Method of crystallization}

【도면의 간단한 설명】

도 1은 SLS 공정을 위한 열원(레이저), 마스크 및 시편 배치 개념도.

도 2a는 슬릿 패턴 마스크.

도 2b는 도 2a의 마스크를 적용 후 형성된 결정질 Si 패턴.

도 2c는 도 2b의 결정화된 영역의 확대된 개략도.

도 3a~3d는 슬릿을 통한 레이저 조사로 인해 레이저가 조사된 영역이 결정화되는 양상을 보여주는 개략도.

도 4a~4c는 슬릿을 통한 레이저 조사에 의한 결정화 후 결정립의 측면(lateral) 성장방향으로 결정 추가 성장 과정을 보여주는 개념도.

도 5a는 레이저 빔의 이동에 의한 용융 및 응고의 반복으로 일방향 결정립 성장과정을 보여주는 도면.

도 5b는 도 5a에 보인 공정에 의해 완성된 poly-Si 패턴 아일란드.

도 6은 도 5b에서 완성된 poly-Si 아일란드에서 일방향 성장이 진행된 방향과 수직 방향으로 2차 레이저 스캔을 진행하기 위해, poly-Si 한쪽 끝 모서리에 레이저 빔을 조사한 상황을 보여주는 개략도.

도 7a~7c는 레이저 빔에 의해 길게 늘어진 poly-Si 일부가 레이저 빔에 의해 조사되고, 용융된 상태에서 스캔 방향으로 레이저 빔이 이동하여 거의 1개의 결정립으로 이루어진 패턴화된 Si 아일랜드의 형성과정을 보여주는 개략도.

도 8a, b는 2차 스캔시 단결정이 얻어지기 어려운 상황의 예, 즉 시드 결정립이 2개이고, x방향으로의 스캔시 두 결정립의 성장속도도 비슷하여, 결과적으로 Si 아일랜드 패턴내에 결정 배향이 다른 영역 2개가 형성되는 경우.

도 9a~9g는 단결정 Si 영역을 시드로 하여 추가 SLS 공정을 통해 단결정 Si영역을 확장시키는 과정을 보여주는 개략도.

도 10은 도 9a~9g과정을 통해 완성된 단결정 Si영역을 다시 시드로 하여 추가 SLS 하여 y방향의 역방향(아래쪽 방향:화살표)으로 단결정 Si영역을 넓혀가는 방식을 보여주는 개략도.

도 11a~11d는 도 6, 9 및 도 10의 과정을 통해 기판 전체 영역에 단결정 Si을 형성시키는 과정을 보여주는 순서도.

도 12a,b는 본 발명의 다른 실시예로서 공정 시간을 단축시키기 위해 단결정 Si 시드영역 몇 개를 여러군데에 동시에 형성시켜 이들 단결정 Si 시드영역으로부터 기판전체에 단결정 실리콘 영역 타일(tile)들을 형성시키는 방안.

도 13a~13e는 본 발명의 또 다른 실시예로서, 공정시간을 보다 단축시키기 위해서 단결정 Si 시드영역으로부터 기판전체에 걸쳐 다양한 패턴의 단결정 Si 타일을 만드는 것을 보여주는 도면.

도 14는 본 발명의 또 다른 실시예로서, 패널 한쪽 부분만 단결정 형성시켜서 불필요한 부분을 단결정화시키는데 드는 공정시간과 비용을 감소한 도면.

도 15는 본 발명의 또 다른 실시예로서, 패널부 주변회로 형성지역만 단결정을 형성시키고, 픽셀영역과 패널이외의 부분은 결정화를 적용시키지 않는 형태로 a-Si 상태로 남겨둔 도면.

[도면부호의 설명]

| | |
|-------------------------------|-----------------|
| 610 : poly-Si 아일랜드 | 630,830 : 레이저 빔 |
| 640 : 레이저 빔 길이 | 670 : 세로 길이 |
| 650 : 레이저 빔폭 | |
| 710, 711, 730, 731, 870 : 결정립 | |
| 740,810 : poly-Si 영역 | 751 : 새로 자라난 영역 |
| 750 : 결정화된 영역 | 800 : 스캔전 결정립계 |
| 820,821 : 시드 결정 | |
| 850,851,880,881 : 결정립영역의 크기 | |

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<28> 본 발명은 반도체 박막 재료공정에 대한 것으로, 보다 상세하게는 레이저 조사(irradiation)와 레이저 조사가 되는 반도체 박막이 있는 기판상에서, 비정질 또는 다결

정질 박막들로부터 원하는 위치에 원하는 크기로 단결정 박막을 얻는 결정화 방법에 관한 것이다.

<29> 본 발명은 박막 트랜지스터(Thin Film Transistor)를 스위칭소자로 적용하는 액정 디스플레이(Liquid Crystal Display, 이하 LCD라 칭함)나 유기ELdisplay(Organic Electroluminescent Display, 이하 OLED라 칭함)와 같은 평판 디스플레이 패널제작에 응용하여 패널상에 디스플레이기능과 디스플레이외의 타 시스템까지 집적할 수 있는 공극의 디스플레이인 시스템-온-패널을 구현할 수 있는 결정화기술에 대한 것이다. 또한, 유리(glass), 산화막(oxide), 질화막(nitride)과 같은 절연막, 그리고 플라스틱과 같은 비정질기판상에서 단결정을 얻을 수 있도록 하여, 3차원 반도체 집적 공정인 실리콘-온-절연체(System-On-Insulator, 이하 SOI라 칭함)등에도 응용가능하다.

<30> LCD나 유기 EL재료를 이용한 OLED등에 이용되는 핵심스위칭소자인 박막 트랜지스터(Thin Film Transistor, 이하 TFT라 칭함)는 상기의 평판디스플레이(Flat Panel Display, 이하 FPD라 칭함)들의 성능에 있어 가장 중요한 반도체 장치이다. TFT의 성능을 판단하는 기준인 이동도(mobility)나 누설전류(leakage current)등은 전하운반자가 이동하는 경로인 활성층(active layer)의 재료인 실리콘(Si) 박막이 어떤 상태(state) 또는 어떤 구조(structure)를 갖느냐에 따라 크게 좌우된다. 현재 상용화되는 LCD의 경우, 대부분 TFT의 활성층이 비정질 실리콘(amorphous Si, a-Si)박막이다.

<31> a-Si를 이용한 a-Si TFT는 이동도가 $0.5\text{cm}^2/\text{Vs}$ 내외로 매우 낮기 때문에, LCD에 들어가는 모든 스위칭소자를 만들기엔 제한적이다. 이는 LCD의 주변회로용 스위칭소자의 경우, 매우 빠른 스피드로 동작해야 하기 때문에 a-Si TFT로는 구현이 불가능하기 때문이다. 따라서, 주변회로용 스위칭부품들, 예를 들어, 구동회로(driver circuit), 여러

가지 콘트롤러, 그리고 디지털-아날로그-컨버터(Digital-Analogue-Converter, DAC)등은, 단결정 Si 위에 집적된 스위칭소자들로 구성되어 LCD구동에 필요한 빠른 스피드에 대응하게 된다. 반면, a-Si TFT의 경우, 스위칭기능을 가짐과 동시에 화질을 확보하는데 필수적인 낮은 누설전류특성을 보이기 때문에, 화소스위칭소자로 적용된다.

<32> 다결정 Si(poly-Si)를 이용한 TFT는 이동도가 수십~수백 cm^2/Vs 로 높기 때문에 주변회로용으로 대응가능한 높은 구동속도를 낼 수 있다. 때문에 기판인 유리위에 poly-Si을 형성시키면, 화소영역뿐만 아니라 주변회로영역까지 구현이 가능하게 된다. 따라서, 주변회로형성에 필요한 별도의 부품실장공정이 필요하지 않고, 화소영역을 형성할 때 함께 주변회로까지 형성할 수 있어서, 주변회로용 부품비용의 절감을 기대할 수 있다. 뿐만 아니라, 높은 이동도 때문에, 기존 a-Si보다 작게 TFT를 만들 수 있고, 집적 공정을 통해 주변회로와 화소영역을 형성시키기 때문에 선평미세화가 보다 용이해져서 a-Si TFT-LCD에 비해 고해상도를 실현할 수 있다. 또한, 높은 전류 특성을 낼 수 있기 때문에, 차세대 FPD의 전류 구동형 디스플레이인 OLED에 적합하여, 최근 유리기판상에서 poly-Si을 형성시키고 TFT를 제작하는 연구가 활발하다.

<33> poly-Si을 유리기판상에서 형성시키기 위해서는 a-Si을 증착 후 소정의 열처리를 통해 poly-Si으로 결정화시키는 방법이 대표적인데, 유리기판이 600°C 이상의 고온에서는 변형되므로, 기판에 열적손상을 주지않고, a-Si만 결정화시키는 엑시머 레이저 어닐링(excimer laser annealing, 이하 ELA라 칭함)이 대표적인 결정화방법이다. 보통의 경우, ELA에 의한 결정화시 a-Si은 레이저에 의해 조사되어, a-Si이 용융(melting)되고 다시 응고(solidification)되면서 결정질이 얻어진다. 결정화시 결정립들은 랜덤(random)하게 형성되며, 레이저 조사 조건에 따라 수십 nm~수 μm 까지의 다양한 크기를 갖는다.

<34> 일반적으로 결정립크기가 클수록 TFT소자의 이동도가 커지며, 주변회로 집적시 집적할 수 있는 부품의 범위가 넓어지기 때문에, 가능한 큰 결정립을 얻을 수 있는 ELA 조건을 얻는 것이 좋지만, 결정립의 크기가 커질수록 결정립분포의 균일도(uniformity)가 커지며, 이는 곧 소자특성의 균일도의 저하가 유발되어, 결과적으로, 신뢰성에 문제가 발생하게 된다. 따라서, ELA결정화된 poly-Si을 LCD에 적용할 때는, 균일도가 보장되는 범위에서 적당한 크기의 결정립을 갖는 poly-Si을 적용하게 된다. 그러나, 이때는 결정립 크기의 한계로 이동도가 높은 poly-Si TFT를 제작할 수 없고, 따라서 주변회로집적에 있어서도 제한적일 수 밖에 없다.

<35> 최근 미국특허 제6,368,945와 제6,322,625에서 균일도가 보장되면서 결정립크기가 큰 결정화방법을 발표하였는데, 순차 측면 응고(Sequential Lateral Solidification, 이하 SLS라 칭함)로 불리우는 이 방법의 원리를 설명하면 다음과 같다.

<36> 도 1 은 SLS 공정을 하기 위한 레이저 장비의 개념도로서, a-Si(120)이 증착된 기판(110)이 놓여지는 스테이지(100)위에서 마스크(140)를 통해 레이저 빔(130)을 투과시켜 조사하는 것이다. 이때, 마스크(140)내에는 다양한 패턴이 있을 수 있는데, 그 대표적인 예는 도 2a에 보인 슬릿형태의 마스크(200)이다. 마스크(200)내에는 폭(220), 길이(230)의 슬릿들이 패턴되어 있고, 이 마스크를 통해 레이저를 1차적으로 조사하면 마스크를 통과한 레이저는 빔릿(beamlet)형태로 조사되고, 조사되는 레이저의 에너지는 a-Si를 완전히 용융시킬 정도다. 도 3a는 슬릿하나를 확대한 것을 보여준다. 레이저가 조사되기전의 상황으로, 참조 부호 310은 슬릿(330)에서 노출되는 영역의 폭을 나타내고, 레이저 조사에 노출되기전에는 a-Si(320)이 존재한다. 도 3b는 슬릿을 통해 레이저가 조사된 직후를 보여준다.(레이저는 수십 ns정도 동안만 조사되고 차단된 상태이다.) 이

때, 노출된 영역은 용융되어 액상 실리콘(360)으로 된 상태며, 슬릿의 가장자리부근에 액상 실리콘(360)과 a-Si실리콘(340)의 경계가 형성되며, 그 경계부분에는 미세한 크기의 poly-Si(350)이 형성된다. 시간이 경과하게 되면, poly-Si(350)을 시드(seed)로 하여 결정립의 성장이 슬릿중심부로 진행된다. 결정립의 성장과정에서 성장속도가 느린 결정립들은 성장속도가 빠른 결정립(370)에 의해 성장이 차단되어 일부 결정립들만 계속해서 성장해 간다. poly-Si과 액상 Si의 계면(380)은 계속 이동하여 최종적으로는 도 3d처럼 슬릿 중앙에서 만나게 된다. 이때 성장한 결정립크기(392)는 대략 슬릿 폭의 절반이다. 슬릿폭이 넓거나, 레이저 조사후 용융된 실리콘의 과냉각속도가 빠르게 되면, 슬릿의 양쪽경계에서부터 자라온 결정립들이 경계(381)에서 만나기전에 액상 실리콘(361)내에서 핵생성이 발생할 수 있다. 그러한 경우는 원치않는 상황이기 때문에, 레이저 조사조건과 기판온도, 슬릿형태를 최적화하여, 상기의 핵생성이 발생하지 않도록 하는 것이 중요하다. 1차적인 조사가 완료된 후, 레이저 빔조사위치를 도 4a와 같이 450만큼 이동시킨 후, 다시 슬릿을 통해 2차 레이저 조사를 실시한다. 2차 조사후, 슬릿경계(420)과 (421) 사이는 액상 실리콘(460)으로 바뀌고,

1차 조사후 형성되었던 poly-Si 영역(440)은 남아있는 상태로 다시 결정화가 진행된다. 이때, 경계(421)쪽은 미세한 poly-Si 영역 형성후 그 poly-Si 영역 형성후 그 poly-Si 들을 시드(seed)로 결정립 성장이 진행되는 반면, 경계(420)에서는 1차 조사후 형성된 결정립들(440) 중에 2차 조사후 용융된 부분을 제외한 영역을 시드(seed)로 하여 결정립 성장이 진행되어 최종적으로 도 4c와 같은 형태가 된다. 즉, 2차 조사후 슬릿 양쪽으로부터 결정립성장이 진행되어 만나는 경계(470)는 최초위치(491)로부터 2차 조사를 하기 위해 조사위치를 시프트(shift)한 양(491)만큼 이동한다. 이 과정을 통해, 스캔(scan)방향으로 결정립 길이의 증가로 결정립 크기가 커지게 된다. 또한, 2차 조사시 시드 결정과 새로이 생겨난 결정은 결정배향이 바뀌지 않는 상태로 연속적인 성장을 겪게 되므로, 경계(480)는 보이지 않는다.

<37> 상기의 과정을 반복하면서 어느정도의 길이동안 이동한 후의 양상을 도 5a에서 보여준다. 도 5a의 아래쪽은 한쪽 방향으로 계속 성장이 진행되어온 결정립들이 길게 늘어진 형태로 존재하고, 성장 앞단에서 슬릿에 노출된 이후 각 슬릿 경계(510) 및 (511)로부터 성장되어온 결정립들의 성장계면(520)과 (521)이 액상 실리콘(530)내로 성장하고 있는 과정이다. 이후, 스캔과정이 지점(551)까지 진행되며, a-Si 지역(550)이 결정화되어 도 5b처럼 된다. 스캔한 거리는 대략 참조 부호 580정도되며, 성장한 결정립의 길이는 상기 스캔 거리(580)에 해당한다. 마스크별로 슬릿이 패턴되어 있기 때문에 소정의 스캔 거리동안 이동시키면, 도 2b, 도 2c와 같은 poly-Si 패턴들이 형성되는 것이다. 각 poly-Si 패턴은 도 5b와 같은 결정립 구조들을 갖고 있는데, 스캔이 시작된 초기영역에서는 많은 결정립들이 서로 경

쟁하면서 성장하므로 미세한 결정립들이 많이 보이는 영역 즉 참조 부호 560이 존재하고 그 위로 결정립들이 길게 자란 영역 즉 참조부호 570이 존재한다. 실제 실험결과는 대부분의 경우, 참조부호 560의 경우 $1\mu\text{m}$ 이내로 poly-Si 패턴 영역에 있어서 거의 무시할 정도로 작다["Sequential Lateral Solidification of thin silicon films on SiO₂", R.S. Sposil and James S. Im, Appl. Phys. Lett. 69(19), 2864(1996)].

<38> SLS의 장점은 마스크의 형태에 따라, 다양한 모양이 얻어지고, 일부 마스크에 대해서는 TFT의 채널영역이 형성되는 부분에 단결정 Si 아일랜드(island)영역을 선택적으로 형성해 줄 수 있기도 하다(미국 특허 제6,322,625). 따라서, 이러한 방법을 이용하면, poly-Si 구조 및 소자 특성의 균일도와 성능향상을 함께 얻을 수가 있다.

【발명이 이루고자 하는 기술적 과제】

<39> 그러나, 상기의 SLS결과 얻어지는 Si 박막은, 사각형이나 육각형등의 배열로 이루어진 단결정 Si 어레이(array) 및 단결정 Si 형성에 있어 규칙성을 LCD기판상에서의 픽셀배치 및 주변회로배치 설계와 맞도록 하지 않으면, 균일성에 오히려 역효과가 날 수 있기 때문이다. 따라서, 기존의 SLS방법의 경우, 결정화를 위한 마스크 설계와 픽셀 및 주변회로 설계를 매치시켜줘야 하므로, 설계면에서 제한적인 면이 발생할 가능성이 있다. 또한, 상기의 SLS방법중에 단결정을 얻는 방법도 엄밀히 말하면, 단결정 Si 아일랜드를 형성하는 것이므로, 결정립계가 기판 곳곳에 존재하게 되며, 이 결정립계를 피하여 픽셀이나 주변회로를 구성해줘야 우수한 소자 특성과 균일도를 동시에 기대할 수 있을 것이다.

<40> 결과적으로 어떠한 설계 도식(scheme)에서도 균일도와 우수한 소자성능을 보장받으려면, 기판 전체에 걸쳐 단결정 실리콘을 형성시키거나, 주변회로부만 단결정 Si을 키우

고 나머지 픽셀영역은 a-Si상태로 두어서 누설전류가 낮은 픽셀영역과 스위칭특성이 우수한 주변회로용 단결정 Si을 픽셀영역 외부에 형성시키는 방식등을 통해 불균일성을 유발할 수 있는 결정립계의 형성 자체를 아예 원천적으로 막는 방법이 궁극적이 해법일 것이다. 본 발명은 이를 실현하기 위해 결정화용으로 보다 간단한 마스크를 사용하고, 손쉬운 방법으로 원하는 위치에 원하는 크기로 단결정 Si을 형성시키는 방법을 제한한다.

<41> 본 발명의 목적은 LCD나 OLED에 응용되는 화소 또는 주변회로 구동소자인 박막트랜지스터의 활성층인 저온 폴리실리콘의 결정성을 향상시켜 단결정 실리콘을 형성하는 새로운 결정화 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<42> 상기 목적을 달성하기 위한 본 발명에 따른 결정화 방법은 유리, 플라스틱, 절연막과 같은 투명, 또는 반투명기판위에 반도체 또는 금속박막을 증착 후 레이저 조사를 통한 결정화 방법에 있어서, 상기 소정 크기의 기판상에 단결정 시드영역을 형성하고, 이후 상기 단결정영역을 시드(seed)로 하여 박막전체 또는 일부 또는 특정영역을 단결정 영역으로 형성하는 것을 특징으로 한다.

<43> (실시예)

<44> 이하, 본 발명에 따른 결정화 방법에 대하여 첨부된 도면을 참조로 상세히 설명한다.

<45> 유리나 플라스틱 및 절연체(insulator)등과 같은 비정질기판상에서의 poly-Si 또는 다결정 박막을 형성시킬 때의 결정성향상과 동시에 균일도도 확보하기 위해, 본 발명에서는 기판 전체에 단결정 또는 위치가 정확히 제어된 단결정 tile을 형성하는 방안이 종

래 기술의 문제점을 근본적으로 해결할 수 있다. 본 발명에서는 그 대표적인 방법을 고안하여 a-Si의 결정화과정을 예로 들어 설명하였다. 이러한 발명을 실현하기 위한 원리로서, 종래의 SLS과정을 거친 poly-Si 아일랜드 패턴에서 결정립이 성장한 방향과 수직하게 추가적인 스캔을 진행하여 단결정 Si 시드 영역을 형성한 후, 이후 이 시드영역을 이용한 SLS를 통해 기판 전체 또는 공정시간 단축을 위해 패널이 형성되는 부분이나 주변회로부분과 같은 특정영역에 단결정 Si 또는 단결정 Si tile을 형성하도록 하였다.

<46> 도 6 은 도 5b에서 완성된 poly-Si 아일랜드(610)(가로 660, 세로 670)의 모습과 2차 스캔을 하기 위한 레이저 빔(길이 640, 폭 650)(630)의 배치를 보여준다. 레이저 빔(630)은 1차 스캔 방향과 수직하게 x방향으로 이동시키며, 시작위치는 poly-Si 패턴 아일랜드(610)내의 한쪽 끝이다. 2차 스캔을 위한 레이저 빔 길이(640)은 일반적으로 poly-Si 패턴 아일랜드(610)의 세로길이(670)과 거의 동일하게 하는 것이 바람직하며, 1차 종료후 2차 스캔전에 마스크를 90도 만큼 회전시키거나 시편을 90도만큼 회전시켜 준다.

<47> 도 7a, 7b 및 7c는 2차 스캔과정을 보다 자세히 보여준다. 여기서 레이저 빔폭(650)은 SLS의 경우, 통상적으로 수 μm 정도이고, poly-Si 패턴 아일랜드(610)내에 길게 성장되어 있는 결정립의 폭도 1~수 μm 정도이다. 도 7a는 poly-Si 패턴 아일랜드내에서 한쪽 끝부분에 결정립들이 존재하는 양상을 대략적으로 보여준다. 결정립(710)의 경우, 1차 스캔과정에서 길게 발달되어 형성되어 있고, 결정립(711)의 경우는, 초기성장과정에서 자라지 못한 결정립이다. 상기에서 언급하였듯이, 결정립(711)의 경우, 그 크기가 1 μm 이내로 매우작다. SLS장비에서 레이저 빔의 얼라인(align) 정확도는 서브- μm 정도이므로, 적절한 align통해, 도 7b처럼 레이저 빔이 결정립(710) 일부만을 녹이도록 정렬

(align)을 할 수 있다. 물론 결정립(730)의 경우도 일부가 녹거나 전체가 녹을 수 있다. 중요한 것은, poly-Si 패턴 아일랜드 전체에 걸쳐 길게 발달된 결정립크기(길이와 폭)가 레이저 빔 디멘전 레벨(dimension level)과 비슷하다는 점이다. 이렇게 해서 2차 스캔의 첫 번째 조사후 영역(730)은 액상이 되고, 액상으로 된 부분은 다시 응고한다. 이때 시드는 결정립(710)과 결정립(731)정도로 극히 작으며, 시드의 대부분은 결정립(710) 하나이므로 2차 스캔을 poly-Si 영역(740)으로 진행시키게 되면, 도 7b의 poly-Si 영역(740)이 용융 및 응고과정을 통해 도 7c와 같은 단결정 Si영역으로 바뀌게 된다. 물론, 결정립(731)이 2차 스캔의 첫 번째 조사시 부분적으로 용융된 경우, 스캔 과정에서 성장이 일어날 수 있지만, 그 크기가 워낙작고, 성장속도도 이미 1차 스캔 과정에서 드러난 것처럼 결정립(710)에 비해 경쟁력이 떨어지므로, 새로 자라난 영역(751)의 크기는 무시할 정도다. 2차 스캔의 첫 번째 조사시 용융된 부분과 남아있던 부분의 경계(760)는 보이지 않을 것이다. 왜냐하면, 시드 영역(710)과 결정화된 영역(750)은 동일한 배향(orientation)을 갖기 때문이다.

<48> 만약 레이저 빔의 얼라인의 정확도가 부정확하거나, 시드영역에서 긴 결정립하나가 아닌 최악의 경우가 발생할 수 있다. 1차 스캔과정에서 형성된 아래쪽의 작은 결정립들(예 731)을 무시한다면, 이 경우, 시드 결정이 2개정도(서로 성장속도가 유사한)가 될 수 있다.

<49> 도 8a 및 8b는 이러한 상황에서의 2차 스캔과정을 보여준다. 초기 두 개의 시드결정(820),(821)이 레이저빔(830)의 스캔으로 poly-Si영역(810)을 없애면서 스캔이 완료되면, 스캔전 결정립계(800)가 이어지면서 poly-Si 패턴 아일랜드가 2개의 결정립으로 이루어진다. 이 경우는 결정립(870)의 성장이 결정립(871)의 성장보다 비교적 우세해서 최

종적으로 결정립(870)의 영역이 큰 경우를 보여주었다. 이러한 경우라하더라도, 남아있는 기관영역 또는 특정영역을 단결정화 하기 위한 단결정 시드 층으로 충분하다. 왜냐하면, 각 결정립영역의 크기(850,851,880,881)가 슬릿을 통해 나온 레이저 빔 폭보다 충분히 큰 수십 μm 정도이므로 적당한 결정립을 선택해서 시드 결정으로 하여 이후의 결정화에 적용하면 되기 때문이다.

<50> 상기의 방식을 이용하여 기관 전체에 걸쳐 단결정 Si를 형성시키는 방법을 도 11a,b,c,d에 도시하였다.

<51> 도 11a는 레이저빔(1130)을 1차 스캔시 생겨난 poly-Si 아일랜드(1120)의 한쪽 끝면에서부터 조사하여 2차 스캔을 그림에 보여진 스캔방향으로 진행하여 기관(1110)의 한쪽 끝면까지 진행시키는 것을 보여준다. 이렇게 하면, 2차 스캔후 레이저빔(1160)이 기관(1110)의 반대편까지 도착하게 되면, 직사각형의 단결정 Si 시드영역(1150)이 생기고, 나머지 영역(1140)은 a-Si상태로 남는다.

<52> 그 이후는, 레이저 빔을 도 11c에 도시한 것처럼, 단결정 Si 시드영역(1150)의 일부에 조사시켜서 용융과 응고를 반복한다. 조사는 1170,1171,...,1180의 순서로 진행하고, 조사하는 경로는 1190처럼 진행한다. 이런식으로 하여 최종적으로 도 11d처럼 기관 전체에 단결정 Si영역을 형성시킨다. 도 11c에서 각 조사 1170,1171은 레이저빔 조사조건에 따라 한번에 조사영역을 여러군데로 하여 공정시간을 단축시킬 수도 있다.(예를 들어, 1170과 1172를 한번에 조사하고 그 다음에 조사영역을 시프트하여 1171과 1173을 조사하는 방식이 있을 수 있다.) 이러한 방법은 James Im등이 최근에 제안한 "2 shot SLS process"(미국특허 제6,368,945호)와 다음과 같은 차별성을 갖는다. y방향으로의 1차 스캔과 x방향으로의 2차 스캔을 통해서 단결정 Si영역을 만들며, 특히 2차 스캔의 경우,

시드 결정의 수가 거의 1~2개 정도로 작기 때문에, 적은 수의 결정으로부터의 2차 스캔이 단결정 시드 영역을 만들 수 있다는 점이다. 이들 시드영역이 일단 형성되면, James 1m등의 "2 shot SLS process"와 동일한 방식으로 결정화를 진행한다. 결과적으로 나오는 구조는 James 1m등의 경우, 도 3에서 보인 poly-Si영역들이 배열된 형태이고, 본 발명의 경우는 단결정 Si 영역이 나오게 된다. 즉, 초기에 단결정 Si 영역을 형성시켜주는 공정의 추가로 최종적인 박막의 미세구조가 크게 달라지게 되는 것이다. 즉, 초기에 단결정 Si 영역을 형성시켜주는 공정의 추가로 최종적인 박막의 미세구조가 크게 달라지게 되는 것이다. 물론 본 발명의 경우, 단결정 영역을 형성시키기 위해 추가적인 공정(1차, 2차 스캔 필요)이 요구되지만, 결과적으로 나오는 구조가 "2 shot SLS process"와는 달리 균일도나 설계자유도가 매우 높다는 장점이 있고, 추가적인 공정은 이후에 설명할 다른 실시예에서처럼 일부 개선을 통해 보완할 수 있다.

<53> 도 9a~g 및 도 10은 도 11c에 보인 과정을 좀더 자세히 보여준다. 도 9a는 2차 스캔(도 11b)시 형성된 단결정 Si영역(900)에 대해 레이저빔(910)을 역 y방향으로 참조 부호 931만큼 시프트하여 조사하는 상황을 보여준다. 이때, 조사된 영역은 최초 단결정 영역(921)과 a-Si영역(920)을 모두 포함하여 도 9b처럼 두 영역을 모두 합한 영역(940)은 용융된다. 레이저 조사가 끝난 직후의 성장은 도 9c에 보인것처럼, 최초 단결정 영역이던 곳으로부터 성장하는 영역(951)과 a-Si영역으로부터 성장되는 영역(950)이 존재한다. 결정화가 완료되면, 도 9d에서처럼 단결정 영역(961)과 poly-Si영역(960)이 경계(962)에서 만나게 된다. 이렇게 하면, 단결정영역의 크기는 레이저조사를 위해 역 y방향만큼 이동한 거리(931)정도 더 커지게 되어, 결과적으로 단결정 영역이 커지게 되는 것이다. 이때, 레이저 조사 조건은 참조부호 961 및 960이 형성되기 전에, 도 9c의 용융된 Si영역

(952)내부에 핵생성에 의해서 형성되는 결정립이 없도록 해야 할 것이다. 새로 형성된 단결정 영역(961)은 최초 단결정이던 영역(900)으로부터 자라나왔기 때문에, 경계(963)는 동거의 관찰되지 않는다. 이후, 다음 레이저 조사를 위해 레이저 빔을 x방향으로 이동시켜 조사하되, 도 9e에서 보인 것처럼 레이저 빔(970)이 조사되는 영역과 이전에 형성된 영역의 일부를 약간 겹치게 해서(972) 경계효과가 없도록 해준다. 이때 조사된 영역(971)은 용융되고, 도9f에서 보인것처럼 단결정영역으로부터 성장해가는 영역(983)과 a-Si 영역으로부터 형성되가는 영역(982)가 존재한다. 성장이 종료되면, 도9g에서처럼 단결정 영역(991)과 poly-Si 영역(990)이 만나게 된다. 이때, 이전에 형성된 단결정영역(994)와 새로이 형성된 단결정영역(991)의 경계(992), 그리고 최초 단결정영역(900)과 이들 단결정영역들과의 경계인(993)은 사실상 관찰되지 않는다고 판단된다. 이유는, 서로 다른 배향(orientation)을 갖는 결정립들이 만나서 형성되는 결정립계가 아니고, 이들 결정립들 (990,991,992)들은 모두 동일한 결정배향을 가지고 있기 때문이다. 이러한 방식으로 x방향으로 스캔을 계속하면, 단결정영역의 크기가 커지고, x방향으로 스캔이 완료되면, 다시 역 x방향으로 스캔을 진행하면서, 레이저 조사를 한다. 그러한 상황도 도10에서 보여준다. x방향 스캔 완료후, 다시 레이저 조사영역을 역y방향으로 약간 시프트해서 조사하되, 단결정영역(1020)을 시드(seed)로 할 수 있게끔 해주고, 동시에 poly-Si 영역(1030)을 용융시키도록 한다. 이렇게해서 레이저(1040)에 의해 조사된 영역(1050)은 다시 용융과 결정화를 반복하게 된다. 이러한 스캔을 도11c와 같이 진행하면, 최종적으로 도 11d와 같이 기판전체에 걸쳐 단결정 Si이 형성되게 되는 것이다.

- <54> 상기의 결정화 방법은 단결정 Si를 기판전체에 형성하는 방법이다. 기존 SLS방식에 비해 이 방식의 경우, 초기 단결정 시드(seed)영역을 형성하는데 필요한 추가공정으로 공정시간이 다소 증가한다. 따라서, 이를 보완하기 위한 실시예를 아래에 보인다.
- <55> 도12a 및 12b는 1,2차 스캔으로 형성되는 단결정 Si 시드영역을 동시에 여러개를 형성시키는 방법을 보여준다. 기판(1200)위에 a-Si(1210)을 증착하고, 슬릿 패턴들이 형성된 마스크를 사용하여 레이저조사를 한다. 이때, 마스크내 슬릿 패턴이 여러개 형성되어 있기 때문에 레이저 조사시 1차 스캔으로 형성되는 poly-Si 아일랜드(가로 1230, 세로 1220) (1221,1222,1223,1224)를 동시에 형성시키고, 2차 스캔시에도 동시에 x방향으로 진행시킨뒤에 2차 스캔으로 형성된 단결정 Si영역을 시드로하여 역y방향으로 다시 레이저 조사과정을 반복하면, 도12b와 같은 단결정 Si 타일(tile)들 (1231,1232,1233,1234)가 형성된다. 이러한 방식은(1231~1234)가 서로 다른 배향을 갖기 때문에, 각 단결정 Si 타일(tile)간의 경계가 생긴다는 단점이 있지만, 앞서의 기판전체에 단결정 Si를 형성시키는 방법에 비해 공정시간을 1/4정도 단축시킬 수 있다. 이 경우, 패널 영역은 단결정 Si 타일(tile)영역보다 작은 제품에 대해 적용하면 유용하다.
- <56> 또다른 실시예로서, 도13a~e에 보인 공정이 있다. 먼저 기판(1300)위에 a-Si를 증착하고, 슬릿 패턴들이 구성된 마스크를 통해 레이저를 조사한다. 마스크(1304)내에는 길이(1307) 폭(1306)의 슬릿(slits)이 간격(1360)만큼씩 떨어져 있도록 규칙적으로 배치되어 있다. 1차 스캔(scan)을 통해 이동하는 거리는 참조 부호 1301과 같다. 1차 스캔 종료후, 일정한 간격으로 각 지역에는 poly-Si 아일랜드(1311)들이 형성되며, 참조 부호 1302는 아직 a-Si상태다. 이제 2차 스캔(scan)시 경계(1310)근처에 레이저 빔이 1차 스캔 방향과 수직하게 놓이도록 정렬(align)한 후 x방향으로 2차 스캔(scan)을 하되,

스캔(scan)거리는 참조 부호 1302만큼 되도록 조절한다. 이렇게 하면, 각 poly-Si 아일랜드(island)내의 특정 결정립을 시드(seed)로 하여 a-Si영역 (1312)지역으로 단결정 Si의 성장이 진행되어, 도13b와 같은 형태로 박막전체에 걸쳐 poly-Si 아일랜드(island)와 단결정 Si영역(1322)로 이루어진 타일(tile)들이 기판 전체에 걸쳐 형성된다. 이후, 추가적으로 단결정 영역(1322)를 시드(seed)로 하여 스캔(scan)을 계속하면, 도13c와 같이 poly-Si 아일랜드(island)이었던 영역들이 단결정 Si영역(1311)로 바뀌게 되며, 전체적으로는 가로(1333) 세로(1334)의 단결정 Si영역들이 타일(tile)형태로 기판전체에 걸쳐 형성된다. 이때, 도13b의 poly-Si 아일랜드(island)와 단결정 Si영역경계이던 참조 부호 1323은 사실상 관찰되지 않는다. 스캔방향과 추가 단계(step) 여부에 따라 도13d나 도 13d와 같은 다양한 단결정 Si 타일(tile)형태가 나올 수 있다. 이러한 방식은, 도11b에 보인 기판 전체에 걸친 2차 스캔의 길이를 크게 줄여주기 때문에, 공정시간이 현저히 단축되는 장점이 있다. 물론, 기판전체에 걸쳐 단결정이 형성되지 않지만, 패널(panel) 크기에 따라 기판전체를 단결정으로 할 필요가 없는 경우나, 단결정 Si정도의 높은 질(quality)의 Si박막이 요구되지 않고 균일도(uniformity) 확보가 중요한 제품들에 대해 비용을 낮출 필요가 있을 경우 적용할 수 있다. 물론 이때는, 타일(tile)의 크기 (1302),(1303)이 균일도(uniformity)에 영향을 주지 않도록 충분히 작을 필요가 있다.

<57> 또 다른 실시예로, 도14와 같이 스캔(scan)방향과 수를 적절히 조절하여, 기판 (1400)상에 패널(Panel)(1420)이 형성되는 부분(pixel영역(1440)과 주변회로영역 (1430))만 단결정으로 만들어주고 나머지는 poly-Si 타일(tile)(1410)형태로 하여 공정 시간단축과 균일도(uniformity) 확보를 동시에 얻을 수도 있다. 이러한 방식은 주변회로 스위칭속도가 빠르고 패널(panel) 크기가 큰 제품에 대해 적용할 수 있을 것이다.

<58> 또 다른 실시예로, 도15와 같이 기판(1500)위에 a-Si(1420) 증착후, 패널(panel)(1510)의 주변회로부분(1530)만 단결정으로 만들어주고 픽셀(pixel) 영역(1540)은 a-Si으로 남겨두는 경우가 있을 수 있다. 이 경우는, 낮은 누설전류를 갖는 a-Si TFT를 픽셀(pixel)부에 배치하고 높은 스위칭속도를 요구하는 주변부 TFT는 단결정으로 제작하는 경우에 사용될 수 있으며, 공정시간의 현격한 감소와, 픽셀(pixel)부의 낮은 누설전류특성을 동시에 확보하는 경우에 적용될 수 있다.

<59> 상기의 모든 결정화방법들은 레이저 조사 방향과 마스크 정렬의 적절한 대응으로 가능한 방법들이며, 비용, 제품특성 및 다양한 설계안에 대응하기 위한 방안들이라고 할 수 있다.

【발명의 효과】

<60> 본 발명을 통해, 종래의 SLS에서 형성된 poly-Si 아일랜드내에 길게 발달된 결정립 1~2개를 시드 결정으로하여 추가 레이저 조사공정을 통해 단결정 Si 시드영역을 형성하고 이 시드 영역을 기점으로 박막전체 또는 일부 또는 특정영역에 단결정 Si영역을 형성시킬 수 있다. 이로서, 균일도 문제가 근본적으로 해결될 수 있기 때문에, 다양한 제품 설계에 대응할 수 있다. 또한, 단결정 Si 영역위에 패널을 제작시, 주변회로에서 스위칭 속도에 대응할 수 있으며, 따라서, 주변회로부품을 집적하게 되므로, 모듈 부품 비용이 감소된다. 또한, 기존 공정과 달리 단결정 실리콘을 적용하므로, 드라이브(drive) 회로 뿐만 아니라, 및 각종 인터페이스 부품까지 집적할 수 있는 충분한 스위칭 속도를 낼 수 있기 때문에 궁극적으로 시스템-온-패널을 형성할 수 있어서, 기존 LTPS TFT-LCD 제품 영역보다 넓은 제품영역을 갖는다. 또한, 픽셀부분은 a-Si로 형성할 수 있는 방안도 있기 때문에 낮은 누설전류특성을 가지면서 주변회로는 집적되어 있는 제품을 만들 수 있

고 공정 비용 또한 크게 감소시킬 수 있다. 또한 픽셀부를 단결정 실리콘을 만드는 경우, 높은 전류를 낼 수 있기 때문에, 전류 구동형 디스플레이인 OLED에 적합하며, 저전압 구동이 가능해진다. 뿐만 아니라, 본 발명은, 대형 유리(glass)상에서의 단결정 Si 뿐만 아니라, Si 웨이퍼와 같은 소형기판상에서도 실현가능하므로, 반도체 메모리 집적회로공정에 있어서 SOI(System-on-insulator)나 3차원 집적회로공정에도 응용이 가능하다. 또한, 레이저 결정화를 Si이 아닌 알루미늄(Al)이나 구리(Cu)와 같은 배선재료에도 적용하여 단결정을 제작시, 초고집적회로에서의 일렉트로 마이그레이션(electro-migration)에 의한 배선불량도 감소시킬 수 있을 것이다.

【특허 청구범위】**【청구항 1】**

유리, 플라스틱, 절연막과 같은 투명, 또는 반투명기판위에 반도체 또는 금속박막을 증착 후 레이저 조사를 통한 결정화 방법에 있어서,

상기 소정 크기의 기판상에 단결정 시드영역을 형성하고,

이후 상기 단결정영역을 시드(seed)로 하여 박막전체 또는 일부 또는 특정영역을 단결정 영역으로 형성하는 것을 특징으로하는 결정화 방법.

【청구항 2】

제 1 항에 있어서, 상기 소정크기의 기판상에 마스크를 통한 레이저 조사로 특정보양의 형태로 레이저를 조사하여, 레이저가 조사된 부분을 1차적으로 결정화하고,

다시 상기 레이저를 소정의 간격만큼 이동시켜 1차적으로 결정화된 부분내의 결정립이 상기의 소정거리만큼 성장하는 과정을 반복하는 1차 스캔과정을 수행하고,

상기 1차 스캔과정이 소정의 거리만큼 진행된 후 종료시켜 다결정 아일랜드 영역을 형성하고,

상기 1차 스캔이 종료된 후, 레이저빔 조사위치를 90도 회전시켜 1차 스캔과정에서 스캔방향으로 길게 발달된 결정립을 시드로 하여 2차 스캔을 진행하여 그 결정립을 성장시켜 단결정영역을 만드는 2차 스캔을 진행하고,

상기 2차 스캔을 소정의 거리만큼 진행시킨 후, 형성된 단결정영역을 시드로 하여 그 시드의 일부에 다시 레이저 조사를 반복하면서 단결정 영역을 넓혀가는 결정화를 특징으로 하는 결정화 방법.

【청구항 3】

제 2 항에 있어서, 레이저 조사영역을 동시에 여러군데 적용하여 1,2차 스캔을 통해 단결정 시드영역을 곳곳에 만들고, 그 단결정 영역을 시드로하여 추가적인 스캔을 통해 기판상에 남아 있는 다결정 또는 비정질영역을 소모시키면서 단결정 영역이 확장되도록 성장시켜 기판 전체에 걸쳐 단결정 타일(tile)을 형성시키는 것을 특징으로 하는 결정화 방법.

【청구항 4】

제 3 항에 있어서, 단결정 시드영역으로부터의 추가적인 스캔을 통해 단결정영역을 확장시킬 때, 레이저 슬릿의 다양한 형태와 크기 및 레이저 조사영역의 스캔방향과 정렬(align)의 다양한 조합으로 단결정 타일의 크기와 위치를 제어하는 것을 특징으로 하는 결정화 방법.

【청구항 5】

제 1 항에 있어서, 결정화 영역은 박막 전체 또는 반도체장치가 형성되는 부분 또는 반도체 장치의 회로영역이 형성되는 부분인 것을 특징으로 하는 결정화 방법.

【청구항 6】

제 1 항에 있어서, 상기 절연막은 SiO_x , SiO_xNy , SiNx 등의 Si의 질화막, 산화막이나, Al, Cu, Ti, W등의 금속중에 하나로 이루어진 질화막 또는 산화막인 것을 특징으로 하는 결정화 방법.

【청구항 7】

제 1 항에 있어서, 상기 반도체는 a-Si, a-Ge, a-SixGey, poly-Si, poly-Ge, poly-SixGex중 하나인 것을 특징으로 하는 결정화 방법.

【청구항 8】

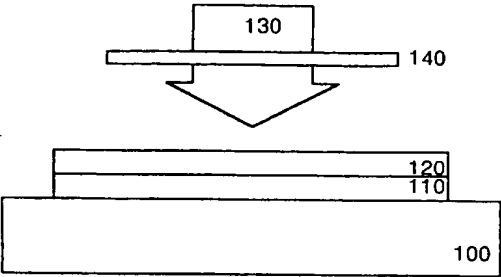
제 1 항에 있어서, 금속박막은 Al, Cu, Ti, W, Au, Ag등의 금속 또는 이들 금속과 반도체간의 화합물인 것을 특징으로 하는 결정화 방법.

【청구항 9】

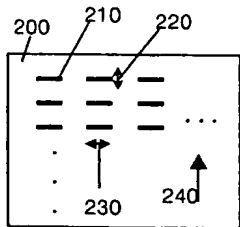
제 1 항에 있어서, 상기 레이저는 엑시머 레이저인 것을 특징으로 하는 결정화 방법.

【도면】

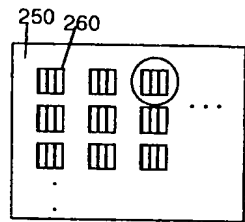
【도 1】



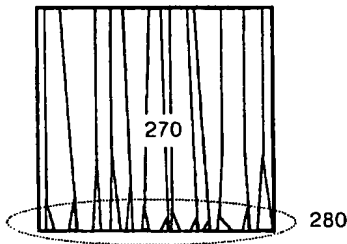
【도 2a】



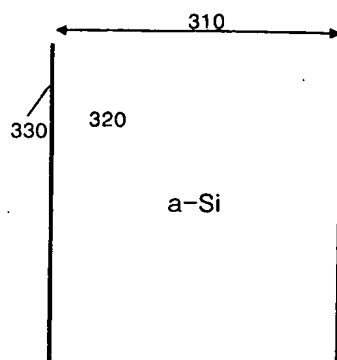
【도 2b】



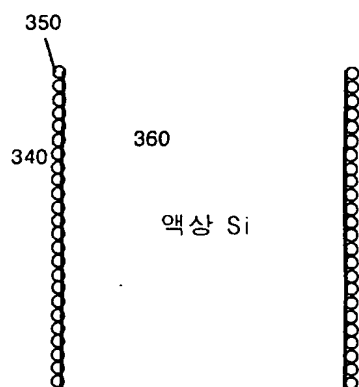
【도 2c】



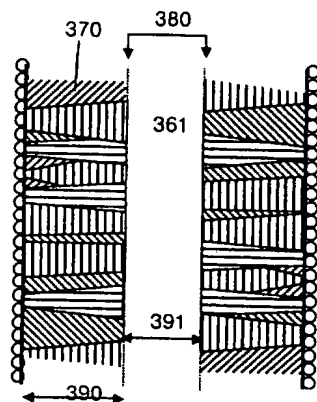
【도 3a】



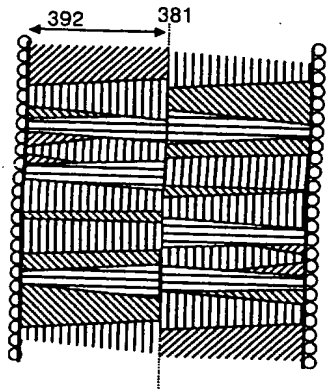
【도 3b】



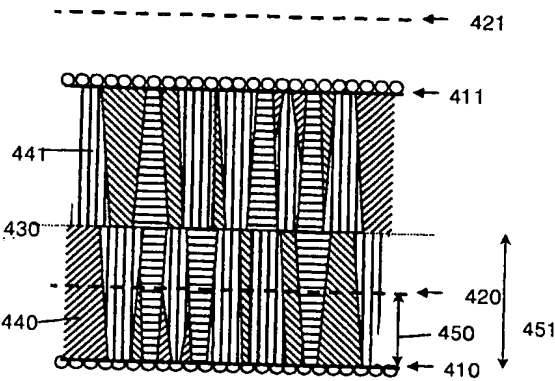
【도 3c】



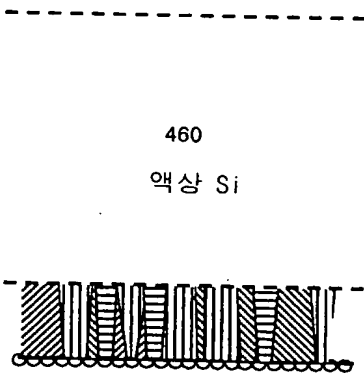
【도 3d】



【도 4a】

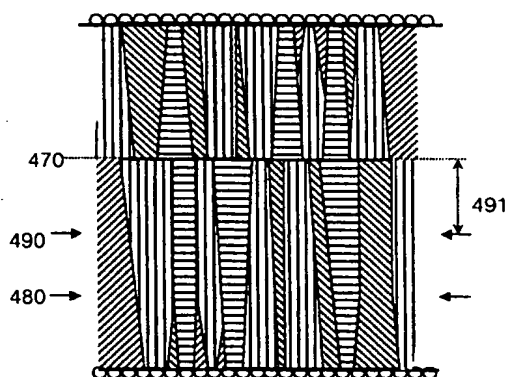


【도 4b】

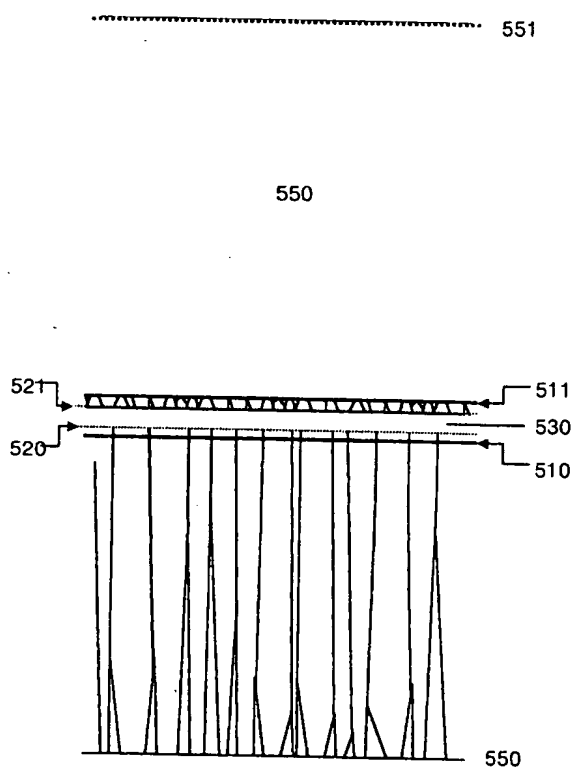




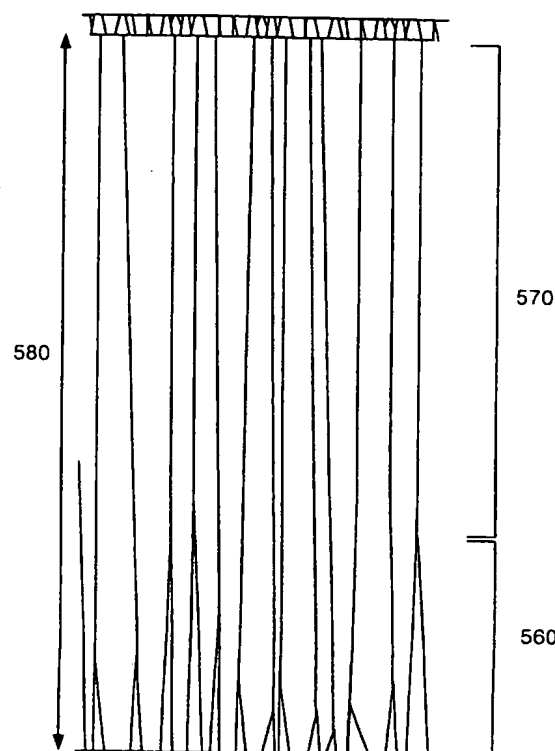
【도 4c】



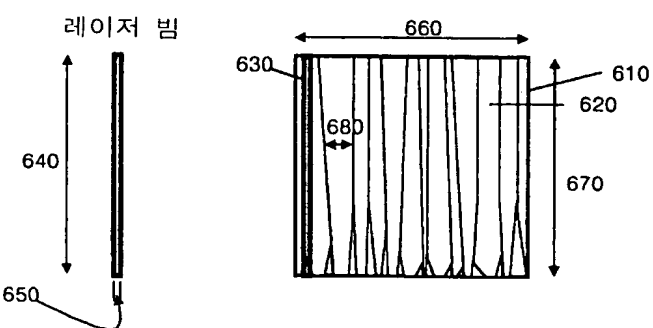
【도 5a】



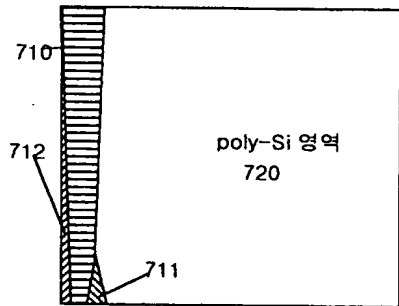
【도 5b】



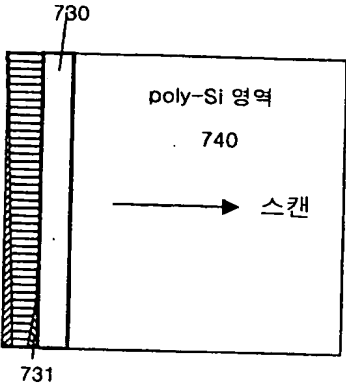
【도 6】



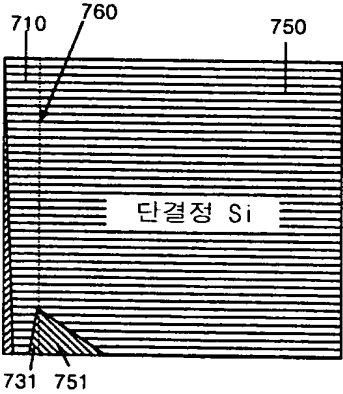
【도 7a】



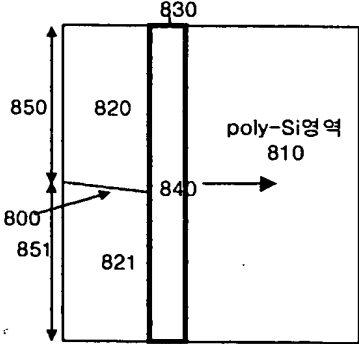
【도 7b】



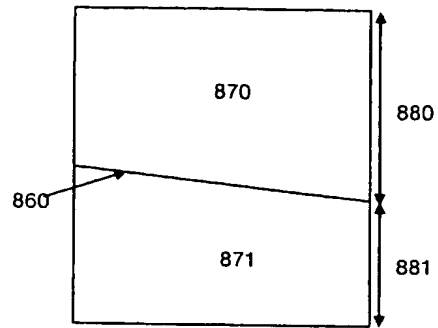
【도 7c】



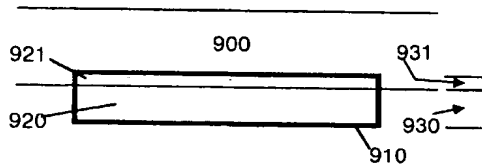
【도 8a】



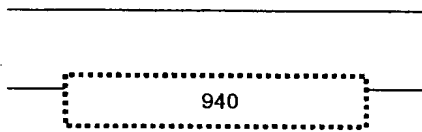
【도 8b】



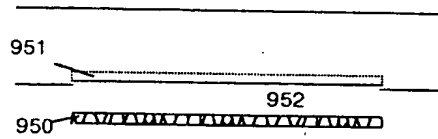
【도 9a】



【도 9b】



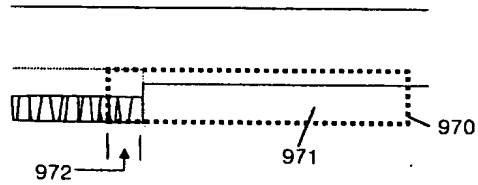
【도 9c】



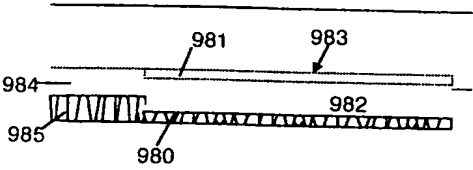
【도 9d】



【도 9e】



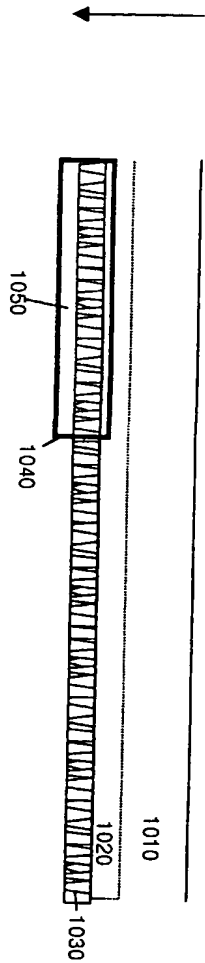
【도 9f】



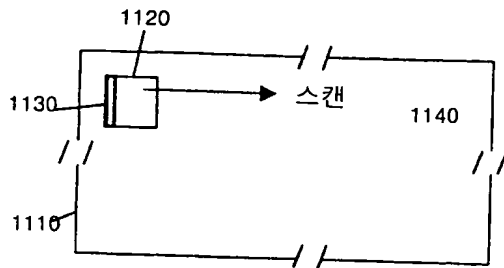
【도 9g】



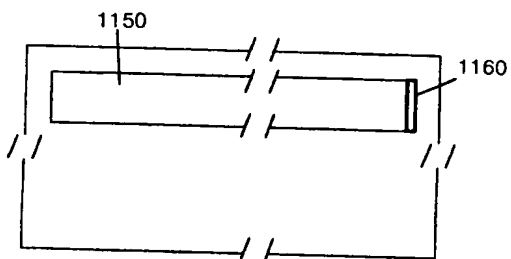
【도 10】



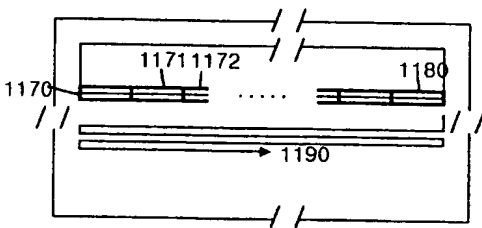
【도 11a】



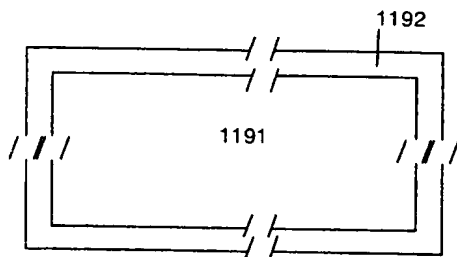
【도 11b】



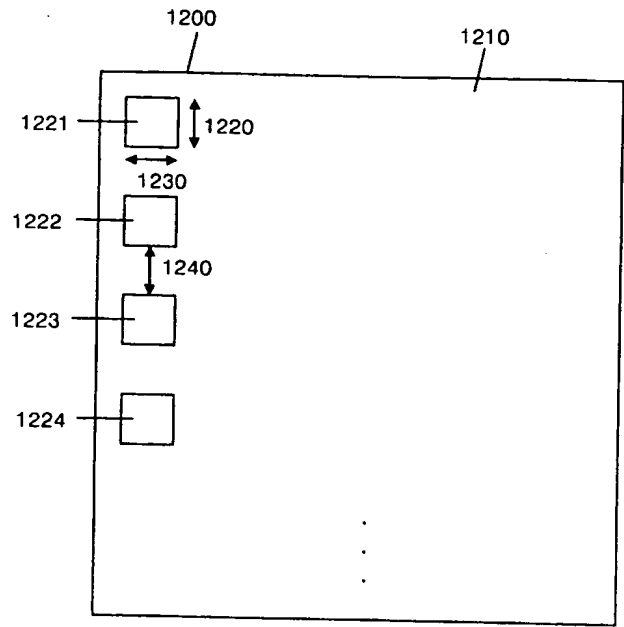
【도 11c】



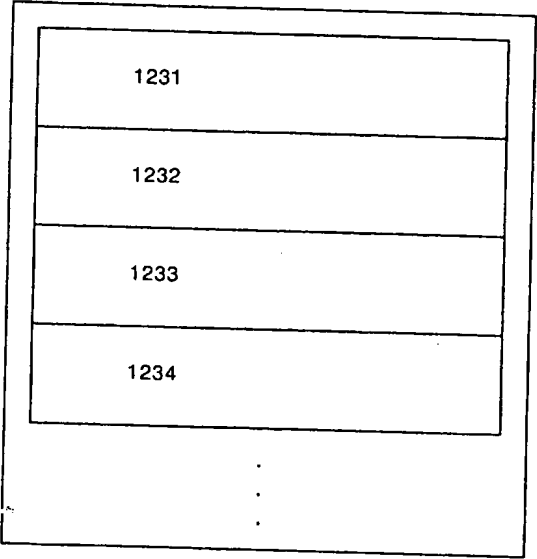
【도 11d】



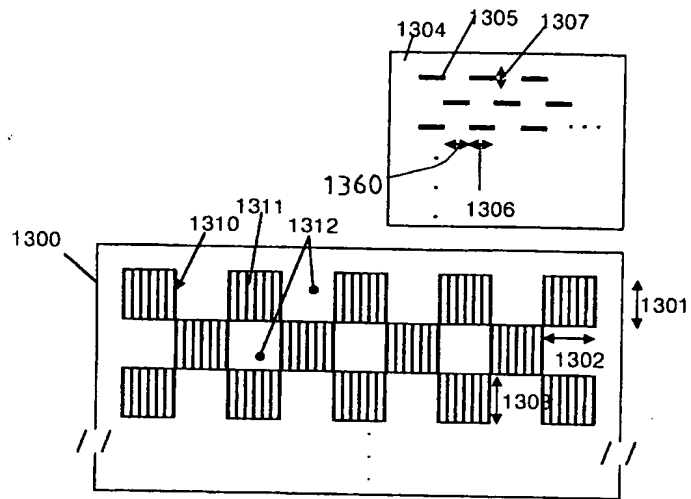
【도 12a】



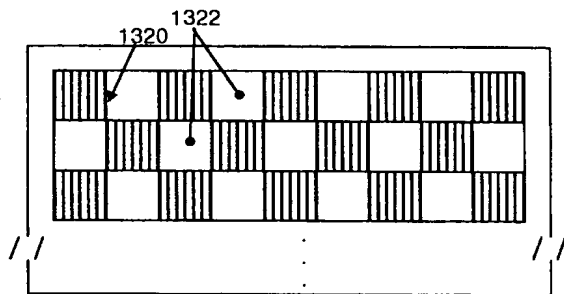
【도 12b】



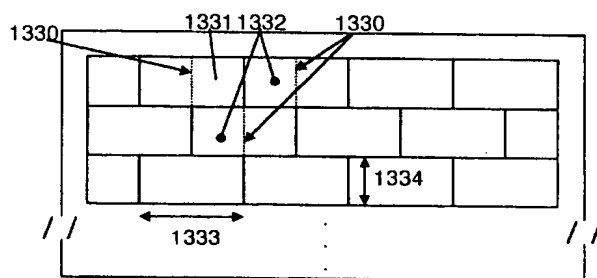
【도 13a】



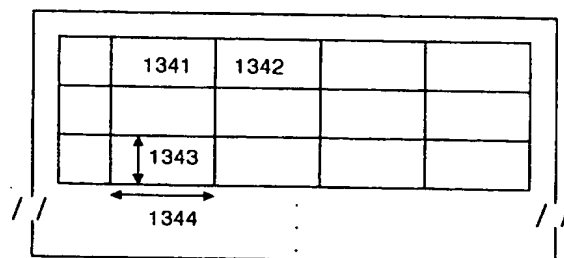
【도 13b】



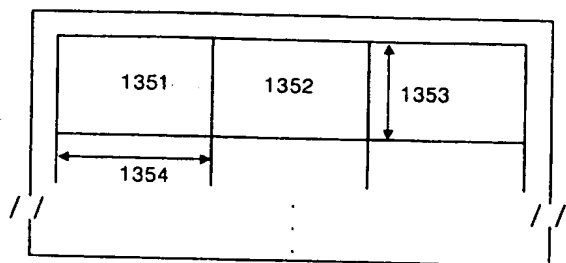
【도 13c】



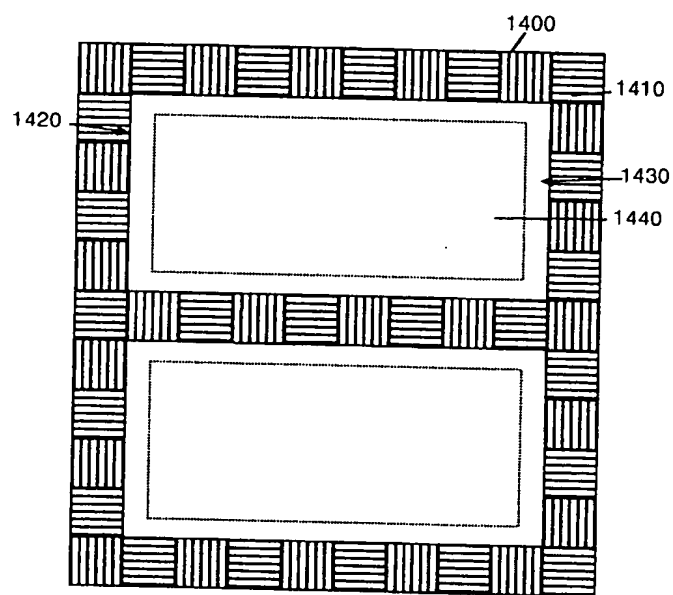
【도 13d】



【도 13e】



【도 14】



【도 15】

